

**Notice of Request for Submission of Argument**

<b>Applicant</b>	<b>Name</b>	Sharp Kabushiki Kaisha
	<b>Address</b>	22-22, Nagaike-cho, Abeno-ku Osaka, Japan
<b>Attorney(s)</b>	<b>Name</b>	Duk Yeul Baek
	<b>Address</b>	17th Floor Marine Center Main Bldg. 118 Namdaemun-ro 2-ka, Chung-ku Seoul, Korea
<b>Application No.</b>		10-2001-0023175
<b>Title of Invention</b>		SEMICONDUCTOR DEVICE HAVING FERROELECTRIC THIN FILM AND FABRICATING METHOD THEREFOR

A Notice of Rejection is hereby given pursuant to Article 63 of the Patent Act on the ground set forth below. If there is any argument against this Office Action or any need to file an amendment, the applicant is invited to submit the argument or the amendment to the Korean Intellectual Property Office by MARCH 29, 2004.

**[GROUNDS]**

Claims 1 to 24 of the present invention can be easily made from the following cited references by a person having ordinary skill in the art to which the invention pertains. Therefore, this application can not be patented under Art. 29(2) of the Patent Act.

**[The Following]**

1. The method for fabricating a semiconductor device of Claims 1 to 18 and Claims 21 to 23 comprising the steps of crystallizing an intermediate layer between a lowermost layer and an uppermost layer and crystallizing the lowermost layer and the uppermost layer at a second temperature lower than a first temperature can be easily made from the methods for fabricating a semiconductor device of the cited references 1 and 2 which were attached to Notice of Request for Submission of Argument of March 31, 2003 and the method for fabricating a semiconductor device having amorphous film/polycrystal film/amorphous film of the cited reference 3(Korean Laid-Open Patent Publication No. 1999-5439) comprising the steps of crystallizing an intermediate polycrystal film by performing rapid heat treatment and stabilizing the semiconductor by performing heat treatment by a person having ordinary skill in the art to which the invention pertains.
2. The semiconductor device of Claims 19, 20, and 24 having a ferroelectric thin film in which a crystal grain of the lowermost layer and the uppermost layer is smaller than a

LEE & KO

crystal grain of the intermediate layer can be easily made from the semiconductor device of the cited references 1 and 2 and the semiconductor device having amorphous film/polycrystal film/amorphous film of the cited reference 3 by a person having ordinary skill in the art to which the invention pertains.

[Attachment]

1. A copy of Korean Laid-Open Patent Publication No. 1999-5439

Date: January 29, 2004

The Korean Intellectual Property Office  
Examining Division IV  
Patent Examiner (Sealed)

출력 일자: 2004/1/30

발송번호 : 9-5-2004-003054259

수신 : 서울 중구 남대문로2가 118 해운센터빌딩

발송일자 : 2004.01.29

본관 17층

제출기일 : 2004.03.29

백덕열 귀하

100-770

## 특허청 의견제출통지서

### NOTICE OF REQUEST FOR SUBMISSION OF ARGUMENT

출원인 명칭 사프 가부시키가이샤 (출원인코드: 519980961371)  
주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고  
대리인 성명 백덕열 외 1 명  
주소 서울 중구 남대문로2가 118 해운센터빌딩본관 17층  
출원번호 10-2001-0023175  
발명의 명칭 강유전체 박막을 갖는 반도체 장치 및 그의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

#### [이유]

이 출원의 특허청구범위 제1-24항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

#### [아래]

1. 청구항 제1-18항 및 제21-23항의 제1온도에서 최하층과 최상층 사이의 중간층을 결정화시키는 공정, 제1온도보다 낮은 제2온도에서 최하층과 최상층을 결정화시키는 공정을 갖는 반도체장치 제조방법은 2003.03.31자 의견제출통지서에 첨부된 인용발명1, 인용발명2의 반도체장치 제조방법과 인용발명3(한국공개특허공보 1999-5439호(1999.01.25))의 비정질 박막/다결정질 박막/비정질 박막을 갖는 반도체장치에서 중간층의 다결정질 박막을 급속 열처리로 결정화하는 단계, 안정화 열처리 단계를 갖는 제조방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)
2. 청구항 제19, 20, 24항의 최하층과 최상층의 결정입자가 중간층의 결정입자보다 작은 강유전체 박막을 갖는 반도체장치는 인용발명1, 인용발명2 및 인용발명3의 비정질 박막/다결정질 박막/비정질 박막을 갖는 반도체장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

#### [첨부]

첨부1 한국공개특허공보 1999-5439호(1999.01.25) 1부 끝.

2004.01.29

특허청

심사4국

반도체2심사담당관실

심사관 김근모



[Abstract of Korean Laid-Open Patent Publication No. 1999-5439]

1. Field of the invention

This invention relates to the method for fabricating a semiconductor device.

2. Object of the invention

The object of this invention is to provide a semiconductor device having a capacitor preventing leakage current and dielectric loss and a fabricating method therefor.

3. Gist of the invention

This invention prevents the leakage current by forming the dielectric of SBT ferroelectric capacitor in multilayer structure of SBT amorphous film/SBT polycrystal film/SBT amorphous film.

4. Use of the invention

This invention is used for fabricating a semiconductor device.

특1999-005439

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup> (11) 공개번호 특1999-005439  
H01L 27/108 (43) 공개일자 1999년01월25일

(21) 출원번호 특1997-029636  
(22) 출원일자 1997년06월30일  
(71) 출원인 현대전자산업 주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 이석원  
서울특별시 양천구 목6동 신시가치아파트 202동 202호  
(74) 대리인 박해천, 원석희

심사청구 : 있음

(54) 반도체 장치의 강유전체 캐패시터 및 그 제조방법

요약

1. 청구범위에 기재된 발명이 속한 기술분야

본 발명은 반도체 제조 분야에 관한 것임.

2. 발명이 해결하려고 하는 기술적 과제

본 발명은 반도체 장치의 SBT 강유전체 캐패시터의 누설전류 및 유전손실을 방지하는 캐패시터 및 그 제조방법을 제공하고자 함.

3. 발명의 해결방법의 요지

본 발명은 SBT 강유전체 캐패시터의 유전체를 SBT 비정질 박막/SBT 다결정질 박막/SBT 비정질 박막의 적층 구조로 형성하여 누설 전류를 방지함.

4. 발명의 중요한 용도

반도체 장치 제조에 이용됨.

도표도

도2

양면시

도면의 간단한 설명

도 1은 종래 기술에 따라 형성된 강유전체 캐패시터의 단면도.

도 2는 본 발명의 일실시예에 따라 형성된 강유전체 캐패시터의 단면도.

도 3은 본 발명의 일실시예에 따른 강유전체 캐패시터 제조 공정 흐름도.

도면의 주요부분에 대한 부호의 설명

20 : 하부층

21 : 하부 전극

22,24 : SBT 비정질 박막

23 : SBT 다결정질 박막

25 : 상부 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 분야에 관한 것으로, 특히 차세대 고집적 반도체 장치의 캐패시터로 개발이 진행되고 있는 SBT 강유전체 캐패시터 및 그 제조방법에 관한 것이다.

일반적으로, 반도체 장치의 고집적화에 따라 반도체 메모리 장치의 충분한 정전 용량을 제공하기 위하여 전하저장 전극의 표면적을 증가시키는 방향으로 많은 연구가 진행되어 왔다.

그러나, 1 기가 DRAM급 이상의 초고집적 반도체 장치에서는 전하저장 전극의 구조를 복잡하게 함으로써 표면적을 증가시키는 방법으로는 반도체 장치의 동작에 필요한 충분한 정전용량을 확보할 수 없다.

따라서, 전하저장 전극의 구조의 변경에 의한 단순한 표면적 증가가 아닌 유전율이 큰 물질 예를 들어, BST, PZT, STO 등을 사용함으로써 초고집적 반도체 장치의 동작에 필요한 정전 용량을 확보할 수 있는 FeRAM 제조 관련 기술에 대한 연구가 진행되고 있다.

첨부된 도면 도 1은 종래 기술에 따라 형성된  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (이하 SBT라 칭함) 강유전체 캐패시터의 단면을 도시한 것이다.

도시된 바와 같은 구조의 종래의 SBT 강유전체 캐패시터의 제조는 소정의 하부층(10) 상부에 백금(Pt), 금속산화물 박막 등의 하부 전극(11)을 형성하고, 그 상부에 SBT 강유전체 박막(12)을 증착한 다음, 그 상부에 상부 전극(13)을 형성하는 공정을 거쳐 형성된다. 이때, SBT 강유전체 박막(12)은 고온 증착이나 열처리 등을 통해 다결정화된다. 이는 다결정질(polycrystalline) 결정 구조하에서 SBT 강유전체 박막은 높은 유전 상수와 잔류 분극 특성 등 강유전체로서의 성질을 제대로 나타낼 수 있기 때문이다.

그러나, 다결정질 박막은 결정립 계면(grain boundary)이 누설전류의 전도 경로로 이용되기 때문에, 누설 전류 및 유전손실의 증가를 가져오게 되어 결국 반도체 장치의 특성을 열화시키는 문제점이 있다.

또한, 이러한 누설 전류를 줄이기 위해서 다양한 전극을 사용하거나, 불순물을 첨가하는 등 다양한 방법이 시도되고 있으나 아직 만족할만한 결과를 가져오지 못하고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 강유전체를 사용한 캐패시터 중 SBT 강유전체 캐패시터의 누설전류 및 유전손실을 방지하는 캐패시터 및 그 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 캐패시터는 소정의 하부층 상에 배치된 하부 전극; 상기 하부 전극 상부에 차례로 적층된 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막,  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막 및 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막; 및 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 상부에 배치된 상부 전극을 포함하여 이루어진다.

또한, 본 발명의 캐패시터 제조방법은 반도체 기판상에 형성된 소정의 하부층 상에 하부 전극을 형성하는 제1 단계; 상기 하부 전극 상부에 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막을 형성하는 제2 단계; 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 상부에  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막을 형성하는 제3 단계; 상기  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막 상부에 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막을 형성하는 제4 단계; 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 상부에 상부 전극을 형성하는 제5 단계; 및 상기 상부 전극, 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막, 상기  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 및 상기 하부 전극을 차례로 선택적 식각하는 제6 단계를 포함하여 이루어진다.

이하, 첨부된 도면 도 2 내지 도 3을 참조하여 본 발명의 일 실시예를 상술한다.

도 2는 본 발명의 일 실시예에 따라 형성된 강유전체 캐패시터의 단면을 도시한 것이다.

도시된 바와 같이 본 발명의 일 실시예에 따른 강유전체 캐패시터는 실리콘 기판 상에 형성된 소정의 하부층(20)과, 그 상부에 차례로 적층된 하부 전극(21), SBT 비정질 박막(22), SBT 다결정질 박막(23), SBT 비정질 박막(24) 및 상부 전극(25)으로 구성된다.

도 3에 상기 구조를 가지는 강유전체 캐패시터를 형성하기 위한 공정 흐름도를 도시하였다. 이하, 편의상 도 2의 도면 부호를 사용하여 설명한다.

우선, 실리콘 기판 상에 소정의 하부층(20)을 형성하고, 전체구조 상부에 하부 전극(21)을 형성한다. 여기서, 하부 전극(21)은 백금 또는 금속산화물 박막 등을 사용하여 형성하며, 하부 전극(21) 증착 전에 접착층(adhesion layer)을 증착하기도 하며, 그 상부에 불순물 확산 방지막을 더 얇게 증착하기도 한다.

다음으로, 하부 전극(21) 상부에 30nm 내지 50nm 두께의 얇은 SBT 비정질 박막(22)을 형성한다. SBT 비정질 박막(22)의 형성은 스퍼터링 등의 물리적 증착법이나 유기금속화학증착법 등의 화학적 증착법이 모두 가능하며, 상온 내지 300°C 정도의 온도에서 형성하여 결정화가 이루어지지 않도록 한다.

SBT 비정질 박막(22)의 조성 비율은 SBT의 조성식  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$ 에서  $x=0.6\sim 1.0$ ,  $y=1.0\sim 1.5$ 의 비율로 하여 후속 열처리에 발생하는 비스무스(Bi)의 휘발 및 반응으로 인한 손실에 대비하도록 한다.

계속하여, SBT 비정질 박막(22) 상부에 SBT 다결정질 박막(23)을 50nm 내지 300nm 두께로 형성한다. SBT 다결정질 박막(23)은 플라즈마 화학기상증착(PECVD) 방식 등의 상대적으로 저온 공정이 가능한 방식을 사용하여, 하부의 SBT 비정질 박막(22)이 결정화되지 않도록 한다. 또한, 결정화를 위한 열처리 공정에서도 단시간의 급속열처리 방식을 사용하여 하부의 SBT 비정질 박막(22)이 결정화되는 것을 방지한다.

다음으로, SBT 다결정질 박막(23) 상부에 다시 SBT 비정질 박막(24)을 30nm 내지 50nm 두께로 증착한다. 그 증착 방법은 SBT 비정질 박막(22)의 증착 방식과 거의 동일하며, 후속 고온 공정에서의 비스무스 휘발에 대비하여 비스무스의 조성비를 SBT 비정질 박막(22)의 경우보다 조금 더 크게 즉  $y=1.1\sim 1.7$  정도로 하여 형성한다.

끝으로, SBT 비정질 박막(24) 상부에 상부 전극(25)을 증착하고, 사진 및 식각 공정을 사용하여 패턴을 정의한 다음, 열처리를 실시하여 캐패시터를 안정화시킨다.

상기한 SBT 비정질 박막(22,24)은 SBT 다결정질 박막(23)에 비해 유전상수도 작고, 강유전체로서의 특성을 나타내지 못하지만, 박막 내부에 물질 전달 경로가 형성되지 않기 때문에 누설전류나 유전손실이 매우 작다. 누설전류는 전극을 통해서 소자 외부로 빠져 나가는 것이므로 SBT 다결정질 박막과 상하부 전극 사이에 비정질 박막을 형성시키면 누설전류의 이동 경로를 막을 수 있다. 이러한 효과를 얻기 위해서는 SBT 비정질 박막(22,24)의 두께가 그다지 두꺼울 필요가 없으므로, 유전상수의 감소 등 강유전체 특성에 열화를 가져오는 영향은 미미할 것으로 여겨진다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 발명의 효과

상기한 바와 같이 본 발명은 SBT 다결정질 박막과 상하부 전극 사이에 SBT 비정질 박막을 형성함으로써 누설전류를 방지하며, 그에 따른 유전손실을 최소화함으로써 반도체 장치의 신뢰도 저하를 방지한다.

또한, 본 발명은 비교적 저온에서 모든 공정이 이루어지므로, 열적 응력에 의한 반도체 장치의 물성 열화를 방지할 수 있다.

#### (5) 청구의 범위

**청구항 1.** 소정의 하부층 상에 배치된 하부 전극; 상기 하부 전극 상부에 차례로 적층된 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막,  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막 및 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막; 및 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 상부에 배치된 상부 전극을 포함하여 이루어진 반도체 장치의 캐패시터.

**청구항 2.** 제 1 항에 있어서, 상기 하부 전극과 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 사이에 접촉층을 더 포함하는 반도체 장치의 캐패시터.

**청구항 3.** 제 1 항 또는 제 2 항에 있어서, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 하부에 불순물 확산 방지막을 더 포함하는 반도체 장치의 캐패시터.

**청구항 4.** 제 1 항에 있어서, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막은  $x=0.6\sim 1.0$  및  $y=1.0\sim 1.5$ 의 구성비로 구성된 반도체 장치의 캐패시터.

**청구항 5.** 제 1 항 또는 제 4 항에 있어서, 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막은  $x=0.6\sim 1.0$  및  $y=1.1\sim 1.7$ 의 구성비로 구성된 반도체 장치의 캐패시터.

**청구항 6.** 제 5 항에 있어서, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 및 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막이 30 내지 50nm 두께로 형성되는 반도체 장치의 캐패시터.

**청구항 7.** 제 5 항에 있어서, 상기  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  결정질 박막이 50 내지 300nm 두께로 형성되는 반도체 장치의 캐패시터.

**청구항 8.** 반도체 기판상에 형성된 소정의 하부층 상에 하부 전극을 형성하는 제1 단계; 상기 하부 전극 상부에 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막을 형성하는 제2 단계; 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 상부에  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막을 형성하는 제3 단계; 상기  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막 상부에 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막을 형성하는 제4 단계; 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 상부에 상부 전극을 형성하는 제5 단계; 및 상기 상부 전극, 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막, 상기  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  다결정질 박막, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 및 상기 하부 전극을 차례로 선택적 식각하는 제6 단계를 포함하여 이루어진 반도체 장치의 캐패시터 제조방법.

**청구항 9.** 제 8 항에 있어서, 상기 제1 단계 이후에 전체구조 상부에 접촉층을 형성하는 제7 단계를 더 포함하여 이루어진 반도체 장치의 캐패시터 제조방법.

**청구항 10.** 제 8 항 또는 제 9 항에 있어서, 상기 제2 단계 이전에 전체구조 상부에 불순물 확산 방지막을 형성하는 제8 단계를 더 포함하여 이루어진 반도체 장치의 캐패시터 제조방법.

**청구항 11.** 제 8 항에 있어서, 상기 제2 단계에서 급속 열처리 공정을 수행하는 반도체 장치의 캐패시터 제조방법.

**청구항 12.** 제 8 항 또는 제 11 항에 있어서, 상기 제6 단계 이후에 안정화를 위한 열처리를 실시하는 제9 단계를 더 포함하여 이루어진 반도체 장치의 캐패시터 제조방법.

**청구항 13.** 제 8 항 또는 제 11 항에 있어서, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 및 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막이 상온 내지 300°C 온도에서 형성되는 반도체 장치의 캐패시터 제조방법.

**청구항 14.** 제 8 항 또는 제 11 항에 있어서, 상기 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막 및 상기 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  비정질 박막이 30 내지 50nm 두께로 형성되는 반도체 장치의 캐패시터 제조방법.

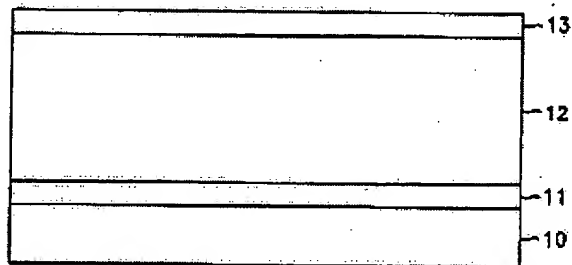
**청구항 15.** 제 8 항 또는 제 11 항에 있어서, 상기  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_w$  결정질 박막이 50 내지 300nm 두께로 형성되는 반도체 장치의 캐패시터 제조방법.

청구항 16. 제 8 항 또는 제 11 항에 있어서, 제1  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_6$  비정질 박막은  $x=0.6\sim 1.0$  및  $y=1.0\sim 1.5$ 의 구성비로 형성하는 반도체 장치의 캐패시터 제조방법.

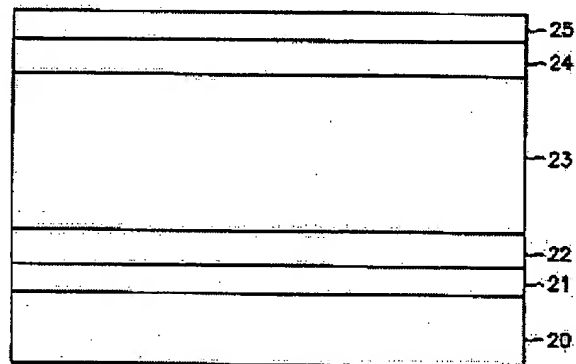
청구항 17. 제 8 항 또는 제 11 항에 있어서, 제2  $\text{Sr}_x\text{Bi}_y\text{Ta}_z\text{O}_6$  비정질 박막은  $x=0.6\sim 1.0$  및  $y=1.1\sim 1.7$ 의 구성비로 형성하는 반도체 장치의 캐패시터 제조방법.

도면

도면1



도면2





도면3

